```
T S1/5/1

  1/5/1
DIALOG(R)File 351:Derwent WPI
(c) 2005  Thomson Derwent. All rts. reserv.

011843788    **Image available**
WPI Acc No: 1998-260698/199823
XRPX Acc No: N98-205529
 Liquid crystal display driving method for high density television system
 - involves selecting more row selection lines than scanning lines during
 each sweep period, returning voltage level of selected row select line to
 minimum during last period
Patent Assignee: ZH KOGYO GIJUTSU KENKYUHIN (KOGY-N); IND TECHNOLOGY RES
  INST (INTE-N)
Inventor: KUO F
Number of Countries: 002  Number of Patents: 002
Patent Family:
Patent No     Kind   Date     Applicat No    Kind   Date     Week
US 5742270     A   19980421  US 96612619     A   19960306  199823  B
JP 10233981    A   19980902  JP 9792695      A   19970306  199845

Priority Applications (No Type Date): US 96612619 A 19960306
Patent Details:
Patent No  Kind Lan Pg   Main IPC    Filing Notes
US 5742270    A     15 H04N-007/00
JP 10233981   A     38 H04N-005/66

Abstract (Basic): US 5742270 A
        The method involves providing a display having a matrix array of
    cells formed in N rows by M columns. Row electrodes are connected in
    each row to a row select line. Column electrodes are connected in each
    column to a column data line. N periodic voltages are provided. Each
    periodic voltage has a scanning period of two fields. Each period has
    an integral number of sweep periods consisting of an integral number of
    block widths.
        Rows are selected by connecting the selecting voltages to the N row
    select lines so that during the first field, after the first sweep
    period of the first field, the row select lines are selected in groups
    of two, three, or four and during the second field, after the first or
    second sweep period of the second field, the row select lines are
    selected in groups of three or four. The number of row select lines
    selected in the second field is equal to or one greater than the number
    selected in the first field. Video signals 1 through M are provided and
    applied to the column data lines.
        ADVANTAGE - Eliminates undesirable brightness fluctuations in
    display due to parasitic capacitance. Increases duty ratio and charge
    time of thin film transistors.
        Dwg.6A/7
Title Terms: LIQUID; CRYSTAL; DISPLAY; DRIVE; METHOD; HIGH; DENSITY;
  TELEVISION; SYSTEM; SELECT; MORE; ROW; SELECT; LINE; SCAN; LINE; SWEEP;
  PERIOD; RETURN; VOLTAGE; LEVEL; SELECT; ROW; SELECT; LINE; MINIMUM; LAST;
  PERIOD
Derwent Class: P81; P85; U14; W03
International Patent Class (Main): H04N-005/66; H04N-007/00
International Patent Class (Additional): G02F-001/133; G09G-003/36
File Segment: EPI; EngPI
?
```

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号

特開平10－233981

(43)公開日　平成10年(1998)９月２日

(51)Int.Cl.⁶		識別記号	ＦＩ		
Ｈ０４Ｎ	5/66	１０２	Ｈ０４Ｎ	5/66	１０２Ｂ
Ｇ０２Ｆ	1/133	５５０	Ｇ０２Ｆ	1/133	５５０
Ｇ０９Ｇ	3/36		Ｇ０９Ｇ	3/36	

審査請求　未請求　請求項の数20　ＯＬ　外国語出願　（全 38 頁）

(21)出願番号　特願平9－92695

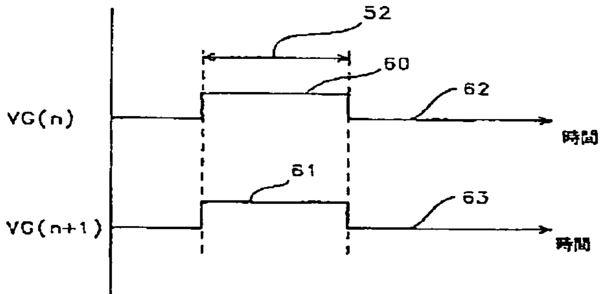
(22)出願日　平成９年(1997)３月６日

(31)優先権主張番号　０８／６１２６１９
(32)優先日　1996年３月６日
(33)優先権主張国　米国（ＵＳ）

(71)出願人　390023582
財団法人工業技術研究院
台湾新竹縣竹東鎮中興路四段195號
(72)発明者　郭　芳前
台湾新竹縣竹東鎮康寧街167巷16號
(74)代理人　弁理士　中村　稔　（外６名）

(54)【発明の名称】　ディスプレイ装置及びディスプレイ走査方法

(57)【要約】
【課題】　従来の走査方法で薄膜トランジスタ液晶ディスプレイを走査すると、アレイ内の寄生その他のキャパシタンスに起因して画素の輝度に揺らぎが発生する。
【解決手段】　本発明の方法は、寄生キャパシタンスに起因するディスプレイの望ましくない輝度の揺らぎを排除する薄膜トランジスタ液晶ディスプレイの走査方法を提供する。本方法は、ディスプレイの複数の行を同時に走査して画素の輝度の揺らぎを排除する。



従来技術

【特許請求の範囲】

【請求項１】　ディスプレイを駆動する方法であって、Ｎ行×Ｍ列に形成されたセルのマトリクスアレイを有するディスプレイ装置を準備する段階を備え、

上記Ｎ及びＭは正の整数であり、上記各セルはスイッチング要素に接続された画素を備え、上記各スイッチング要素は行電極及び列電極を有し、上記各セルは上記行電極に選択電圧を印加することによって選択され、また上記行電極に非選択電圧を印加することによって選択されないようになっており、

上記Ｎ行の各セル内の上記行電極を行選択ラインに接続して行選択ライン１乃至Ｎを形成する段階と、

上記Ｍ列の各セル内の上記列電極を列データラインに接続して列データライン１乃至Ｍを形成する段階と、

Ｎ個の周期的電圧を準備する段階と、を更に備え、

上記各周期的電圧は走査期間を有し、上記各走査期間は整数の掃引期間を含み、上記掃引期間は整数のブロック幅を含み、上記各掃引期間中の上記各周期的電圧は選択モード、または非選択モードにあり、上記選択モードにおいては、上記掃引期間の最後の上記ブロック幅の間は上記非選択電圧を、また上記掃引期間の残余の間は上記選択電圧を有し、上記非選択モードにおいては、上記全掃引期間にわたって上記非選択電圧を有しており、

上記Ｎ個の周期的選択電圧を上記Ｎ行選択ラインに印加することによって上記セルの行１乃至Ｎを選択する手段を準備する段階と、

ビデオ信号１乃至Ｍを準備する段階と、

上記ビデオ信号１乃至Ｍを上記列データライン１乃至Ｍに印加する段階と、をも更に備えていることを特徴とする方法。

【請求項２】　上記走査期間は、第１のフィールドと、それに続く第２のフィールドとを含んでいる請求項１に記載の方法。

【請求項３】　上記行選択ラインは、上記第１のフィールド中に３つのグループで選択され、上記第２のフィールド中に４つのグループで選択されるようになっている請求項２に記載の方法。

【請求項４】　上記第１のフィールドの順次掃引期間中に上記選択モードにある上記周期的電圧を行選択ライン１；１、２、及び３；３、４、及び５；５、６、及び７；７、８、及び９；・・・；Ｎ－２、Ｎ－１、及びＮに順次に印加し、上記第２のフィールドの順次掃引期間中に上記選択モードにある上記周期的電圧を行選択ライン１及び２；１、２、３、及び４；３、４、５、及び６；５、６、７、及び８；７、８、９、及び１０；・・・；Ｎ－３、Ｎ－２、Ｎ－１、及びＮに順次に印加し、残余の全ての行選択ラインには、上記第１のフィールド及び上記第２のフィールドの各掃引期間中に上記非選択モードにある上記周期的電圧を印加するようになっている請求項２に記載の方法。

【請求項５】　上記行選択ラインは、上記第１のフィールド中に２つのグループで選択され、上記第２のフィールド中に３つのグループで選択されるようになっている請求項２に記載の方法。

【請求項６】　上記第１のフィールドの順次掃引期間中に上記選択モードにある上記周期的電圧を行選択ライン１；１及び２；２及び３；３及び４；４及び５；５及び６；６及び７；・・・；Ｎ－１及びＮに順次に印加し、上記第２のフィールドの順次掃引期間中に上記選択モードにある上記周期的電圧を行選択ライン１；１及び２；１、２、及び３；２、３、及び４；３、４、及び５；４、５、及び６；５、６、及び７；・・・；Ｎ－２、Ｎ－１、及びＮに順次に印加し、残余の全ての行選択ラインには、上記第１のフィールド及び上記第２のフィールドの各掃引期間中に上記非選択モードにある上記周期的電圧を印加するようになっている請求項２に記載の方法。

【請求項７】　上記ディスプレイ装置は薄膜トランジスタ液晶ディスプレイ装置である請求項１に記載の方法。

【請求項８】　上記スイッチング要素は薄膜トランジスタである請求項１に記載の方法。

【請求項９】　上記ブロック幅は 4.5マイクロ秒またはそれより大きい請求項１に記載の方法。

【請求項１０】　上記掃引期間は 31.78マイクロ秒またはそれより大きい請求項１に記載の方法。

【請求項１１】　ディスプレイ装置であって、Ｎ行×Ｍ列に形成されたセルのマトリクスアレイを有するディスプレイ装置を備え、

上記Ｎ及びＭは正の整数であり、上記各セルはスイッチング要素に接続された画素を備え、上記各スイッチング要素は行電極及び列電極を有し、上記各セルは上記行電極に選択電圧を印加することによって選択され、また上記行電極に非選択電圧を印加することによって選択されないようになっており、

上記Ｎ行内のセルの１つの上記行電極がそれぞれ接続されている行選択ライン１乃至Ｎと、

上記Ｍ列内の各セルの上記列電極がそれぞれ接続されている列データライン１乃至Ｍと、

Ｎ個の周期的電圧と、を更に備え、

上記各周期的電圧は走査期間を有し、上記各走査期間は整数の掃引期間を含み、上記掃引期間は整数のブロック幅を含み、上記各掃引期間中の上記各周期的電圧は選択モード、または非選択モードにあり、上記選択モードにおいては、上記掃引期間の最後の上記ブロック幅の間は上記非選択電圧を、また上記掃引期間の残余の間は上記選択電圧を有し、上記非選択モードにおいては、上記全掃引期間にわたって上記非選択電圧を有しており、

上記Ｎ個の周期的選択電圧を上記Ｎ行選択ラインに印加することによって上記セルの行１乃至Ｎを選択する手段と、

ビデオ信号１乃至Ｍと、
上記ビデオ信号１乃至Ｍを上記列データライン１乃至Ｍに印加する手段と、を更に備えていることを特徴とするディスプレイ装置。

【請求項１２】　上記走査期間は、第１のフィールドと、それに続く第２のフィールドとを含んでいる請求項１１に記載のディスプレイ装置。

【請求項１３】　上記行選択ラインは、上記第１のフィールド中に３つのグループで選択され、上記第２のフィールド中に４つのグループで選択されるようになっている請求項１２に記載のディスプレイ装置。

【請求項１４】　上記第１のフィールドの順次掃引期間中に上記選択モードにある上記周期的電圧を行選択ライン１；１、２、及び３；３、４、及び５；５、６、及び７；７、８、及び９；・・・；Ｎ－２、Ｎ－１、及びＮに順次に印加し、上記第２のフィールドの順次掃引期間中に上記選択モードにある上記周期的電圧を行選択ライン１及び２；１、２、３、及び４；３、４、５、及び６；５、６、７、及び８；７、８、９、及び１０；・・・；Ｎ－３、Ｎ－２、Ｎ－１、及びＮに順次に印加し、残余の全ての行選択ラインには、上記第１のフィールド及び上記第２のフィールドの各掃引期間中に上記非選択モードにある上記周期的電圧を印加するようになっている請求項１２に記載のディスプレイ装置。

【請求項１５】　上記行選択ラインは、上記第１のフィールド中に２つのグループで選択され、上記第２のフィールド中に３つのグループで選択されるようになっている請求項１２に記載のディスプレイ装置。

【請求項１６】　上記第１のフィールドの順次掃引期間中に上記選択モードにある上記周期的電圧を行選択ライン１；１及び２；２及び３；３及び４；４及び５；５及び６；６及び７；・・・；Ｎ－１及びＮに順次に印加し、上記第２のフィールドの順次掃引期間中に上記選択モードにある上記周期的電圧を行選択ライン１；１及び２；１、２、及び３；２、３、及び４；３、４、及び５；４、５、及び６；５、６、及び７；・・・；Ｎ－２、Ｎ－１、及びＮに順次に印加し、残余の全ての行選択ラインには、上記第１のフィールド及び上記第２のフィールドの各掃引期間中、上記非選択モードにある上記周期的電圧を印加するようになっている請求項１２に記載のディスプレイ装置。

【請求項１７】　上記ディスプレイ装置は薄膜トランジスタ液晶ディスプレイ装置である請求項１１に記載のディスプレイ装置。

【請求項１８】　上記スイッチング要素は薄膜トランジスタである請求項１１に記載のディスプレイ装置。

【請求項１９】　上記ブロック幅は 4.5マイクロ秒またはそれより大きい請求項１１に記載のディスプレイ装置。

【請求項２０】　上記掃引期間は 31.78マイクロ秒またはそれより大きい請求項１１に記載のディスプレイ装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、高密度テレビジョンシステムのための薄膜トランジスタ液晶ディスプレイに関する。薄膜トランジスタ液晶内の寄生その他のキャパシタンスは、従来の方法で走査した時にディスプレイの輝度に揺らぎをもたらす。本発明は、輝度の揺らぎを排除するようにディスプレイを走査する方法にも関する。

【０００２】

【従来の技術】一時に２行を走査し、ディスプレイイメージの各フレーム中に２度ディスプレイを走査する従来のライン対走査手段を使用して薄膜トランジスタ液晶ディスプレイを走査すると、画素に望ましくない輝度の揺らぎが発生する。この輝度の揺らぎは薄膜トランジスタ液晶ディスプレイ内の寄生キャパシタンスによってもたらされる。 SID 94 Digest, paper 8.2 の 79-82頁に所載の F. Okumura らの論文 ″A 76-mm (3- in.) DRIVER INTEGRATED POLY-SI TFT-LCD LAIGHT VALVE ″は輝度の揺らぎの問題を検討し、輝度の揺らぎを大幅に減少させるアレイの駆動方法を示唆している。Kim の米国特許第 5,331,252号及び Kimの米国特許第 4,332,949号はディスプレイパネルの構造及び駆動方法を開示している。

【０００３】

【発明の概要】図１及び２は、従来の薄膜トランジスタ液晶ディスプレイの概要図であり、ディスプレイを構成しているセルのＮ行×Ｍ列のアレイを示している（但し、Ｎ及びＭは正の整数である）。図１では、アレイの奇数行を１つのゲート走査ドライバ３３によって駆動し、アレイの偶数行を別のゲート走査ドライバ３４によって駆動するようになっている。図２では、アレイの全ての行を１つのゲート走査ドライバ３５によって駆動するようになっている。図３は、アレイの行ｎのセルの１つの等価回路図である。図３に示すように、各セルは、キャパシタC_n ２８によって表されている画素に接続された薄膜トランジスタ２２スイッチング素子を有している。各セル内にはストレージキャパシタC_{sn}２４及びゲート・ソース寄生キャパシタンスC_{gn}２６が存在している。列選択ラインキャパシタンスはC_d ４２によって表されている。行電極２０は、行ｎのための行選択ライン３０に接続され、この行選択ライン３０は行ｎ内の残余のセルの行電極にも接続されている。図３に示すように、行電極は薄膜トランジスタのゲートである。列電極は、列選択ライン７０に接続され、この列選択ライン７０はその列内の残余のセルの列電極にも接続されている。行選択ラインｎ（ｎは１からＮまでの正の整数）上の電圧レベルはＶＧ(n) であり、ゲート走査ドライバから印加される。列データラインｍ（ｍは１からＭまでの

正の整数）上の電圧レベルはＶＤ(m) であり、ゲート走査ドライバから印加され、その画素のためのビデオ情報を含んでいる。行選択ライン電圧ＶＧ(n) がV_{CM}にある場合にはその行が選択され、行選択ライン電圧がV_{CL}にある場合にはその行は選択されない。

【０００４】ディスプレイ内のセルの行を選択するための従来のライン対走査方法においては、電圧レベルV_{CM}の電圧パルスが一時に２行分の行選択ラインに印加され、残余の行選択ラインには電圧レベルV_{CL}が印加される。各行選択ラインは、１走査サイクルに１回選択される。この従来のライン対走査方法は、セルの薄膜トランジスタのゲートと、同一列及び次の行内のセルの画素との間の寄生キャパシタンスによって、画素間に輝度の差をもたらす。また、漸進（プログレッシブ）走査モード（例えば、ＶＧＡシステム）及び飛び越し走査モードでは、走査線の数が増加すると掃引期間が短くなる。デューティ比が低くなり、薄膜トランジスタを充電する時間が十分ではなくなる。図４は、ディスプレイの同一列の連続する行内の２つのセルの等価回路図である。セルの行選択ラインに印加される電圧は、ＶＧ(n) 及びＶＧ(n+1) である。セルの画素電圧はＶＰ(n) 及びＶＰ(n+1) である。図５に示す２つの隣接する行を選択する従来のライン対走査方法においては、２つの同一選択用パルスが２つの隣接する行に印加される。この手法で行が選択される場合には、行選択ライン電圧ＶＧ(n) 及びＶＧ(n+1) がV_{CM}６０、６１からV_{CL}６２、６３へ降下すると、各セル内のキャパシタンスに起因してセルの画素電圧ＶＰ(n) 及びＶＰ(n+1)がかなり変化する。画素電圧のこの変化が、ディスプレイイメージに望ましくない強度変化またはフリッカをもたらす。

【０００５】図６に示すように、もし、行選択ラインｎ電圧ＶＧ(n) がV_{CM}６０からV_{CL}６２へ降下してから十分な時間間隔５４の後に、行選択ラインｎ＋１の電圧ＶＧ(n+1) がV_{CM}６１からV_{CL}６３へ降下させれば、画素電圧の変化を大幅に排除することができる。ＶＧＡシステムにおける薄膜トランジスタ液晶ディスプレイの場合には、この時間間隔は約 2.47 マイクロ秒またはそれより大きくしなければならない。画素における変化を排除すると、ディスプレイイメージの望ましくないフリッカが排除される。本発明の主目的は、セルキャパシタンスによってもたらされる画素の輝度の差が排除されるように、薄膜トランジスタ液晶ディスプレイの複数の隣接する行を同時に駆動する手段を提供することである。

【０００６】本発明のさらなる目的は、デューティ比及び薄膜トランジスタの充電時間を増加させるように、複数の隣接する行を同時に選択する薄膜トランジスタ液晶ディスプレイを提供することである。これらの目的は、各掃引期間中に１または複数の走査線よりも多数の行選択ラインを選択し、選択された行選択ラインの電圧レベルを各掃引期間の最後のブロック期間中にV_{CL}へ戻すことによって達成される。各掃引期間は、整数のブロック期間を含む。もしある行が選択されれば、その行選択ラインに印加される電圧は、掃引の最後のブロック期間を除く全掃引期間の間V_{CM}である。もしその行が選択されなければ、その行選択ラインに印加される電圧は全掃引期間の間V_{CL}である。行選択ラインの数は、各掃引期間中の走査線の数より多いのであるから、若干の行選択ラインは２度走査される。ライン走査方法を超えたこの手法は、列反転システムに適用可能である。

【０００７】

【発明の実施の形態】図１、図２及び図３を参照して薄膜トランジスタ液晶ディスプレイの従来の駆動方法を説明する。図１及び図２は、アレイを構成しているセル３７のＮ行×Ｍ列アレイを示している。ここに、Ｎは 480のような正の整数であり、Ｍは 640のような正の整数である。図１においては、アレイの奇数行が１つのゲート走査ドライバ３３によって駆動され、アレイの偶数行が別のゲート走査ドライバ３４によって駆動される。図２においては、アレイの全ての行が１つのゲート走査ドライバ３５によって駆動される。図３は、ディスプレイを構成しているセルの１つの等価回路図である。図３に示すように、各セルは、キャパシタC_n ２８によって表されている画素に接続された薄膜トランジスタ２２スイッチング素子を有している。薄膜トランジスタのゲートは行選択ライン３０に接続され、この行選択ライン３０はその行を選択するゲート走査ドライバに接続されている。薄膜トランジスタのドレインは列選択ライン７０に接続され、列選択ライン７０はディスプレイにビデオ情報を供給するデータドライバに接続されている。

【０００８】図７乃至図１０に示すように、行選択ライン電圧は、その行が選択される場合のV_{CM}６０と、その行が選択されない場合のV_{CL}６２との間で変化する。V_{CM}は約３乃至 16 Ｖであり、V_{CL}は約−10Ｖ乃至−６Ｖである。ＶＧＳシステムでは約 31.78マイクロ秒、またＮＴＳＣシステムでは約 63.5 マイクロ秒の各掃引期間５２中、１組の行が選択される。各掃引期間は、ブロック幅５４とパルス幅５３とからなり、各ブロック幅はＮＴＳＣシステムにおいては 4.5マイクロ秒またはそれ以上である。各掃引期間中、各行選択ラインは選択されるか、または選択されないかの何れかである。もし掃引期間５２中にあるラインが選択されなければ、その行選択ライン電圧は非選択モードにあり、全掃引期間５２中V_{CL}にされる。強度の揺らぎを排除するために、もし掃引期間中にあるラインが選択されれば、その行選択ライン電圧は選択モードとなり、掃引期間５２のブロック幅５４中のV_{CL}６２を除いて全掃引期間の間V_{CM}６０にされる。

【０００９】図７及び図８を参照する。これらの図は、ライン対走査における薄膜トランジスタ液晶ディスプレイの駆動方法の実施形態を示している。この実施形態で

は、一時に３本の行選択ラインが選択される。図７及び図８はそれぞれ、第１のフィールド及び第２のフィールドのための行選択ラインパルス列を示している。図７に示すように、第１のフィールドにおいては、選択モード電圧が行選択ライン１；１、２、及び３；３、４、及び５；５、６、及び７；７、８、及び９；・・・；及び478、479 、及び 480に順次に印加される。図８に示すように、選択モード電圧は１つの行選択ライン分ずれている。図９及び図１０に示すライン対走査モードにおける本発明の別の実施形態では、一時に４本の行選択ラインが選択される。図９及び図１０はそれぞれ、第１のフィールド及び第２のフィールドのための行選択ラインパルス列を示している。図９に示すように、第１のフィールドにおいては、選択モード電圧が行選択ライン１、２；１、２、３、及び４；３、４、５、及び６；５、６、７、及び８；７、８、９、及び１０；・・・；及び477、478 、479 、及び 480に順次に印加される。また図１０に示すように、選択モード電圧は１つの行選択ライン分ずれている。第１及び第２の両フィールドにおいて、選択ラインが選択モード電圧にない場合には、それらは非選択モード電圧にある。一時に４つのラインを選択する実施形態は、図１に示すような２ゲート走査ドライバを使用する薄膜トランジスタ液晶ディスプレイに特に有用である。

【００１０】図１１及び１２は、漸進（非飛び越し）モードにおいて薄膜トランジスタ液晶ディスプレイを駆動する方法の別の２つの実施形態を示している。図１１では、第１のフィールド及び第２のフィールド内の第１の掃引期間を除いて、一時に２本の行選択ラインが選択される。図１２では、第２のフィールド内の第１及び第２の掃引期間を除いて、一時に３本の行選択ラインが選択される。図１１に示すように、選択モード電圧が行選択ライン１；１及び２；２及び３；３及び４；４及び５；５及び６；６及び７；・・・；476 及び 478；478 及び 479；及び 479及び 480に順次に印加される。図１２に示すように、選択モード電圧は、行選択ライン１；１及び２；１、２、及び３；２、３、及び４；３、４、及び５；４、５、及び６；５、６、及び７；６、７、及び８；・・・；475 、476 、及び 477；476 、477 、及び 478；477 、478 、及び 479；及び 478、479 、及び 480に順次に印加される。両実施形態共、選択ラインが選択モード電圧にない場合には、それらは非選択モード電圧にある。一時に２つのラインを選択する実施形態は、図１に示すような２ゲート走査ドライバを使用する薄膜トランジスタ液晶ディスプレイに特に有用である。

【００１１】以上に本発明を好ましい実施形態に関して説明したが、当業者ならば本発明の思想及び範囲から逸脱することなく形状及び細部の種々の変更は理解されよう。

【図面の簡単な説明】

【図１】２ゲート走査ドライバを使用する従来の薄膜トランジスタ液晶ディスプレイを示す図である。

【図２】単一ゲート走査ドライバを使用する従来の薄膜トランジスタ液晶ディスプレイを示す図である。

【図３】従来の薄膜トランジスタ液晶ディスプレイのセルの１つの等価回路図である。

【図４】従来の薄膜トランジスタ液晶ディスプレイの２つの隣接する行内のセルの等価回路図である。

【図５】薄膜トランジスタ液晶ディスプレイの２つの隣接する行のための従来の選択電圧パルスを示す図である。

【図６】イメージフリッカリングに及ぼすセルキャパシタンスの効果を補償した薄膜トランジスタ液晶ディスプレイの２つの隣接する行のための選択電圧パルスを示す図である。

【図７】飛び越し走査モードにおける本発明の一実施形態の第１のフィールドの行選択ラインパルス列を示す図である。

【図８】図７の実施形態の第２のフィールドの行選択ラインパルス列を示す図である。

【図９】飛び越し走査モードにおける本発明の別の実施形態の第１のフィールドの行選択ラインパルス列を示す図である。

【図１０】図９の実施形態の第２のフィールドの行選択ラインのパルス列を示す図である。

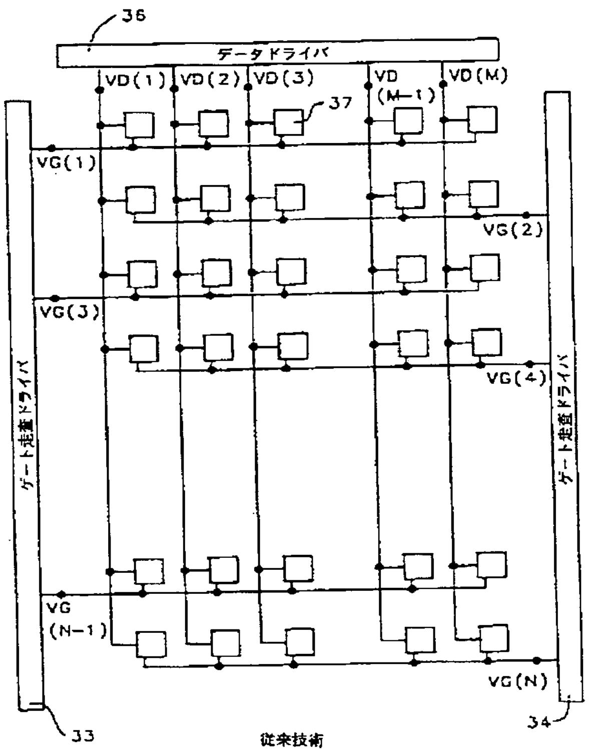
【図１１】漸進モードにおける本発明の一実施形態の行選択ラインパルス列を示す図である。

【図１２】漸進モードにおける本発明の別の実施形態の行選択ラインパルス列を示す図である。

【符号の説明】

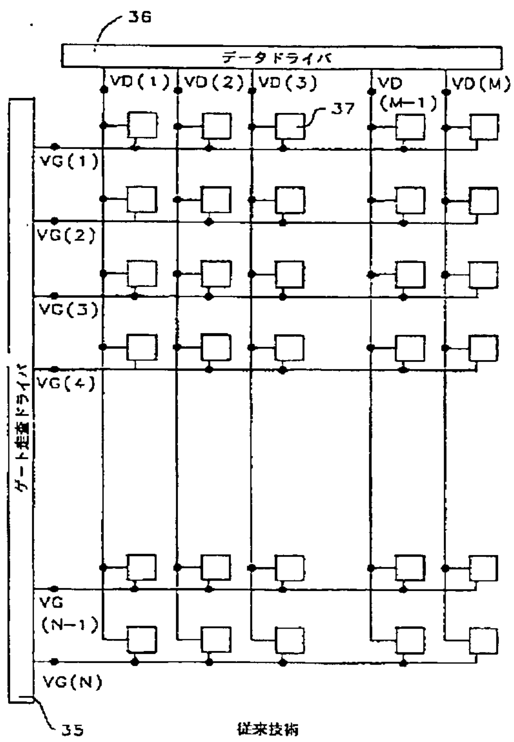
２０	行電極
２２	薄膜トランジスタ
２４	ストレージキャパシタ
２６	ゲート・ソース寄生キャパシタンス
２８	キャパシタ（画素）
３０	行選択ライン
３３，３４，３５	ゲート走査ドライバ
３７	セル
４２	列選択ラインキャパシタンス
５２	掃引期間
５３	パルス幅
５４	ブロック幅
７０	列選択ライン

【図１】



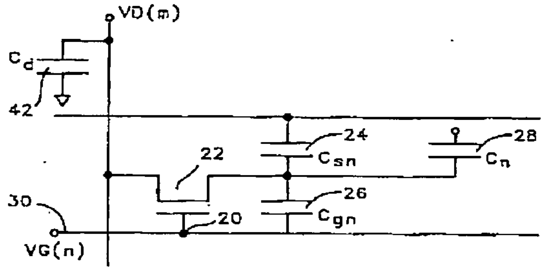
従来技術

【図２】



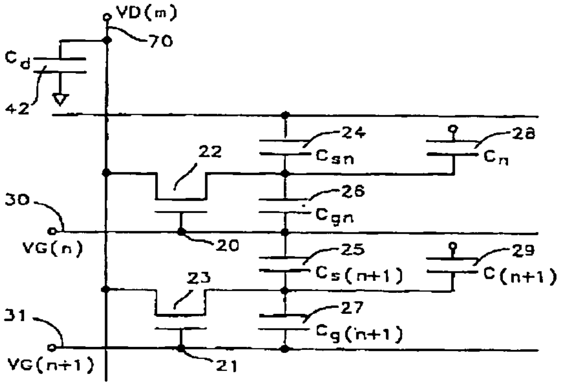
従来技術

【図３】



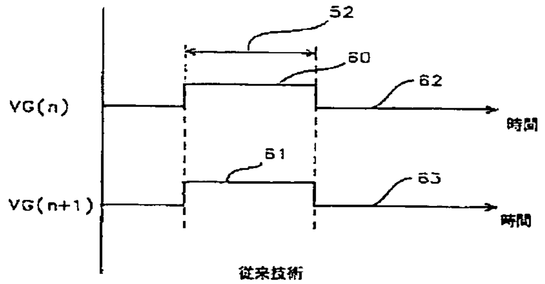
従来技術

【図４】



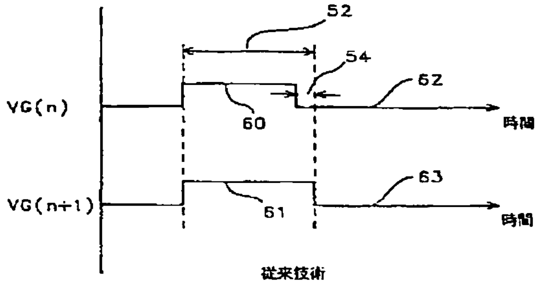
従来技術

【図５】

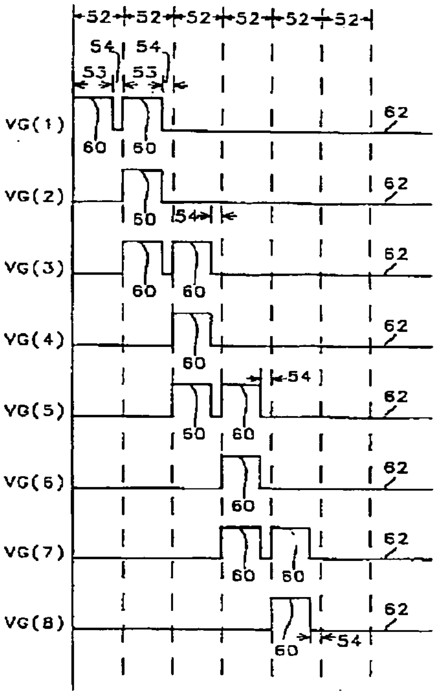


従来技術

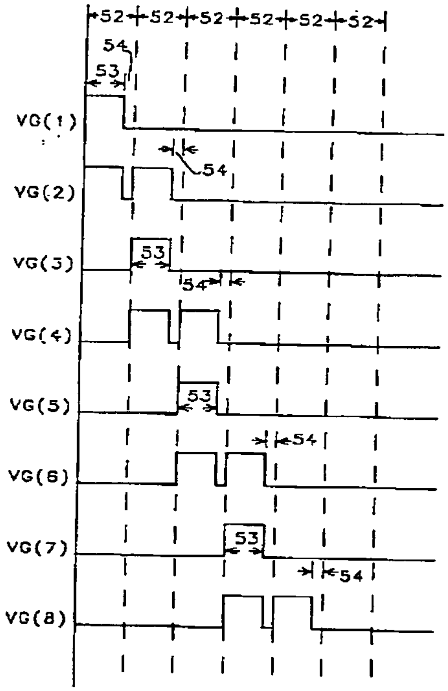
【図６】


52
54
62
VG(n)
60
時間
63
VG(n+1)
61
時間
従来技術

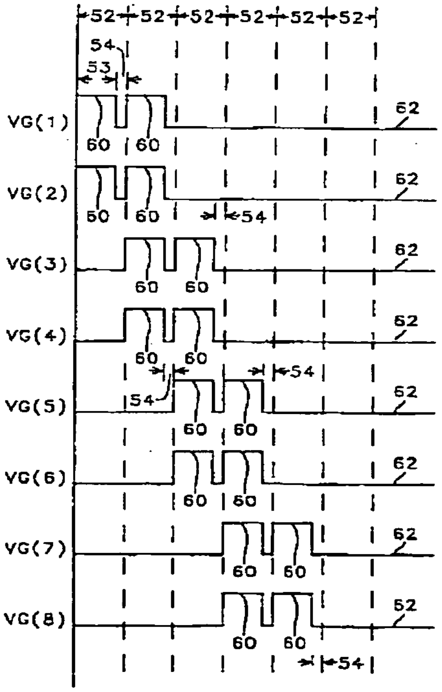
【図７】


VG(1)
VG(2)
VG(3)
VG(4)
VG(5)
VG(6)
VG(7)
VG(8)

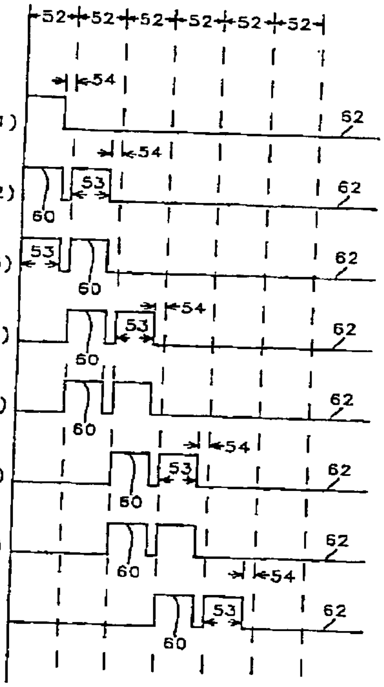
【図８】


VG(1)
VG(2)
VG(3)
VG(4)
VG(5)
VG(6)
VG(7)
VG(8)

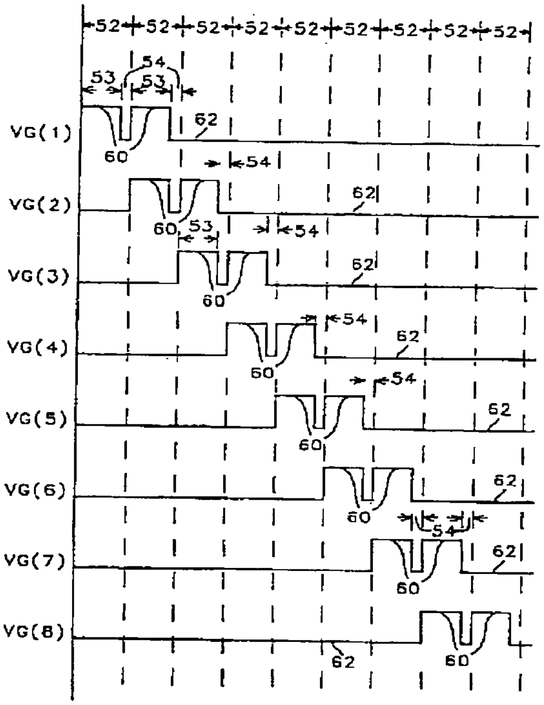
【図９】


VG(1)
VG(2)
VG(3)
VG(4)
VG(5)
VG(6)
VG(7)
VG(8)

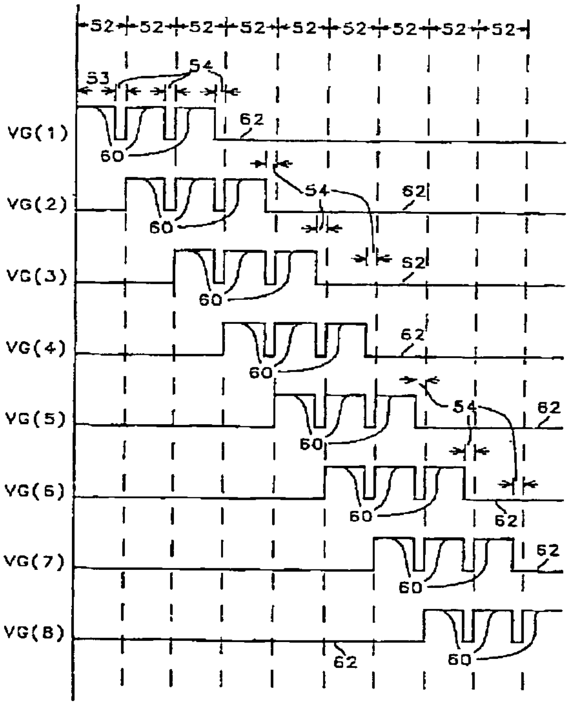
【図１０】


52
53
54
60
62
VG(1)
VG(2)
VG(3)
VG(4)
VG(5)
VG(6)
VG(7)
VG(8)

【図１１】


52
53
54
60
62
VG(1)
VG(2)
VG(3)
VG(4)
VG(5)
VG(6)
VG(7)
VG(8)

【図１２】


52
53
54
60
62
VG(1)
VG(2)
VG(3)
VG(4)
VG(5)
VG(6)
VG(7)
VG(8)

【外国語明細書】

OVER LINE SCAN METHOD

RELATED PATENT APPLICATION

(1) (E83-0066), Serial Number , filed , entitled "NON-OVERLAPPED SCANNING FOR A LIQUID CRYSTAL DISPLAY," by the same inventor.

BACKGROUND OF THE INVENTION

(1) FIELD OF THE INVENTION

This invention relates to a thin film transistor liquid crystal display for a high density television system. Parasitic and other capacitance in the thin film transistor liquid crystal display causes brightness fluctuations in the display when scanned by conventional methods. This invention provides a method of scanning the display so that the fluctuations in brightness are eliminated.

(2) DESCRIPTION OF RELATED ART

When thin film transistor liquid crystal displays are scanned using the conventional line pair scanning means of scanning two rows at a time and scanning the display twice during each frame of the display image the pixels demonstrate an undesirable brightness fluctuation. This brightness fluctuation is caused by parasitic capacitance in the thin film transistor liquid crystal display. A paper "A 76-mm (3- in.) DRIVER INTEGRATED POLY-SI TFT-LCD LIGHT VALVE," by F. Okumura et al, SID 94 Digest, paper 8.2, pages 79-82 discusses the problem of brightness fluctuations and suggests a method of driving the array which greatly reduces the brightness fluctuations. U.S. Pat. No. 5,331,252 to Kim and U.S. Pat. No. 4,332,949 to Kim discuss structure and driving methods of display panels.

SUMMARY OF THE INVENTION

Figs. 1 and 2 show diagrams of a conventional thin film transistor liquid crystal display showing the N row by M column array of cells making up the display, where N and M are positive integers. Fig. 1 shows a diagram for the case where the odd numbered rows of the array are driven by one gate scan driver 33 and the even numbered rows of the array are driven by another gate scan driver 34. Fig. 2 shows a diagram for the case where all rows of the array are driven by the same gate scan driver 35.

Fig. 3A shows an equivalent circuit diagram of one of the cells of row n of the array. As shown in Fig. 3A, each cell has a thin film transistor 22 switching element connected to a pixel represented by a capacitor C_n 28. There is a storage capacitor C_{sn} 24 and a gate source parasitic capacitance C_{gn} 26 in each cell. The column select line capacitance is C_d 42. The row electrode 20 is connected to a row select line 30 for row n which also connects the row electrodes for the remaining cells in row n. As shown in Fig. 3A, the row electrode is the gate of the thin film transistor. The column electrode is connected to a column select line 70 which also connects the column electrodes for the remaining cells in the column. The voltage level on row select line n, where n is a positive integer from 1 to N, is

VG(n) and is set by the gate scan driver. The voltage level on column data line m, where m is a positive integer from 1 to M, is VD(m) and is set by the data driver and contains the video information for the pixel. When the row select line voltage, VG(n), is V_{CH} the row is selected and when the row select line voltage is V_{CL} the row is not selected.

In the conventional line pair scanning method for selecting the rows of cells in the display a voltage pulse of voltage level V_{CH} is applied to the row select lines two rows at a time and voltage level V_{CL} is applied to the remaining row select lines. Each row select line is selected once in one scanning cycle. This conventional line pair scanning method of scanning results in brightness differences between pixels caused by parasitic capacitance between the gate of the thin film transistor of a cell and the pixel of the cell in the same column and next row. And, in both the progressive scanning mode (e.g. VGA system) and the interlaced mode, the sweep period becomes short when the number of scanning lines increase. The duty ratio is to low and the time to charge the TTF is not enough.

Fig. 3B shows an equivalent circuit diagram of two cells in consecutive rows of the same column of the display. The voltages applied to the row select lines of the cells are VG(n) and VG(n+1). The voltages at the pixels of the cells are VP(n) and VP(n+1). The conventional line pair scanning method of selecting two adjacent rows is shown in Fig. 4A with two identical selecting pulses being applied to the two adjacent rows. When the rows are selected in this manner there is considerable variation in the voltages at the pixels of the cells VP(n) and VP(n+1) when the voltages at the row select lines VG(n) and VG(n+1) drop from V_{GH} 60, 61 to V_{GL} 62, 63 due to the capacitances in each cell. This variation in voltage at the pixels causes an undesirable intensity variation or flicker in the display image.

Refer now to Fig. 4B, this variation in voltage at the pixels can be largely eliminated if the voltage at the row select line n, VG(n), drops from V_{GH} 60 to V_{GL} 62 a sufficient time interval 54 before the voltage at the row select line n+1, VG(n+1), drops from V_{GH} 61 to V_{GL} 63. For the thin film transistor liquid crystal displays in the VGA system the time interval must be about 2.47 microseconds or greater. The elimination of the variation at the pixels eliminates the undesirable flicker in the display image.

It is a principle object the invention to provide a means of driving multiple adjacent rows of a thin film transistor liquid crystal display simultaneously so that the brightness difference in pixels caused by cell capacitance is eliminated.

It is a further object of this invention to provide a thin film transistor liquid crystal display wherein multiple adjacent rows are selected simultaneously so as to increase the duty ratio and the charge time of thin film transistors.

These objects are achieved by selecting a plurality of row selection lines more than the scanning line/lines during each sweep period returning the voltage level of the selected row select line to V_{CL} during the last block period of each sweep period. Each sweep period consists of an integral number of block periods. During each sweep period a row is selected or non selected. If the row is selected the voltage applied to the row select line is V_{CH} during the entire sweep period except for the last block period of the sweep. During the last block period of the sweep period the voltage applied to the row select line is V_{CL}. If the row is non selected the voltage applied to the row select line is V_{CL} during the entire sweep period. Since the number of the row selection lines is more than that of the scanning lines during each sweep period, some row selection lines are scanned twice. This inventive over line scan method is adaptable to column inversion systems.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a diagram of a conventional thin film transistor liquid crystal display using two gate scan drivers.

Fig. 2 is a diagram of a conventional thin film transistor liquid crystal display using a single gate scan driver.

Fig. 3A is an equivalent circuit diagram of one of the cells of a conventional thin film transistor liquid crystal display.

Fig. 3B is an equivalent circuit diagram of cells in two adjacent rows of a conventional thin film transistor liquid crystal display.

Fig. 4A shows the conventional selecting voltage pulses for two adjacent rows of a thin film transistor liquid crystal display.

Fig. 4B shows the selecting voltage pulses for two adjacent rows of a thin film transistor liquid crystal display which compensate for the effect of cell capacitance on image flickering.

Figs. 5A and 5B show the row select line pulse trains for one of the embodiments of this invention under interlaced mode.

Figs. 6A and 6B show the row select line pulse trains for another embodiment of this invention under interlaced mode.

Fig. 7A shows the row select line pulse trains for one of the embodiments of this invention under progressive mode

Fig. 7B shows the row select line pulse trains for another embodiment of this invention under progressive mode.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

Refer now to Fig. 1, Fig. 2, and Fig. 3A, there are shown diagrams for driving the thin film transistor liquid crystal display. Fig. 1 and Fig. 2 show diagrams of the N row by M column array of cells 37 making up the array, where N is a positive integer such as 480 and M is a positive integer such as 640. Fig. 1 shows a diagram for the case where the odd numbered rows of the array are driven by one gate scan driver 33 and the even numbered rows of the array are driven by another gate scan driver 34. Fig. 2 shows a diagram for the case where all rows of the array are driven by the same gate scan driver 35. Fig. 3A shows an equivalent circuit diagram of one of the cells making up the display. As shown in Fig. 3A each cell has a thin film transistor 22 switching element connected to a pixel represented by a capacitor C_o 28. The gate of the thin film transistor is connected to a row select line 30 which is connected to a gate scan driver which selects the row. The drain of the thin film transistor is connected to the column select line 70 which is connected to the data driver which supplies video information to the display.

As shown in Fig. 5A through Fig. 6B, the row select line voltage is varied between V_{GH} 60 when the row is selected and V_{GL} 62 when the row is not selected. V_{GH} is between about 3 and 16 volts and V_{CL} is between about -10 and -6 volts. A set of rows is selected during each sweep period 52 of about 31.78 microseconds in the VGS system and about 63.5 microseconds in the NTSC system. Each sweep period is made up of a block width 54 and a pulse width 53 wherein each block width is 4.5 microseconds or greater in the NTSC system. In each sweep period each row select line is either selected or not selected. If the line is not selected during a sweep period 52 the row select line voltage is in the non select mode and is V_{CL} during the entire sweep period 52. In order to eliminate intensity fluctuations, if the line is selected during a sweep period the row select line voltage in the select mode and is V_{CH} 60 for the entire sweep period except the block width 54 of the sweep period 52 and V_{CL} 62 during the block width 54 of the sweep period 52.

Refer now to Fig. 5A and Fig. 5B, there is shown an embodiment of a method for driving the thin film transistor liquid crystal display under line pair scanning. In this embodiment, three row select lines are selected at a time. Fig. 5A and Fig. 5B show the row select line pulse trains for the first and second fields respectively. As shown in Fig. 5A, in the first field the select mode voltage is applied sequentially to row select lines 1; 1, 2, and 3; 3, 4, and 5; 5, 6, and 7; 7, 8, and 9; ... ; and 478, 479, and 480. As shown in Fig. 5B, the select mode voltage is offset one row selection line. Refer then to Fig. 6A and Fig. 6B, in another embodiment of this invention under line pair scanning mode, four row select lines are selected at a time. Fig. 6A and Fig. 6B show the row select line pulse trains for the first and second fields respectively. As shown in fig. 6A, in the first field the select mode voltage is applied sequentially to row select lines 1 and 2; 1, 2, 3, and 4; 3, 4, 5, and 6; 5, 6, 7, and 8; 7, 8, 9, and 10; ... ; and 477, 478, 479, and 480. And, as shown in Fig. 6B, the select mode voltage is offset 1 row selection line. In both the first and second fields when the select lines are not at the select mode voltage they are at the non select mode voltage. The embodiment of selecting 4 lines at a time is especially useful in a TFT LCD using two gate scan drivers as shown in Fig. 1.

Refer now to Fig. 7A and Fig. 7B, there is shown another two embodiments of a method for driving the thin film transistor liquid crystal display under progressive mode (non-interlaced). In Fig. 7A two row select lines are selected at a time, except for the first sweep period in the first field, and in the second field, Fig. 7B, three row select lines are selected at a time except for the first and second sweep periods in the second field. As shown in Fig. 7A, the select mode voltage is applied sequentially to row select lines 1; 1 and 2; 2 and 3; 3 and 4; 4 and 5; 5 and 6; 6 and 7; ... ; 476 and 478; 478 and 479; and 479 and 480. As shown in Fig. 7B, the select mode voltage is applied sequentially to row select lines 1; 1 and 2; 1, 2, and 3; 2, 3, and 4; 3, 4, and 5; 4, 5, and 6; 5, 6, and 7; 6, 7, and 8; ... ; 475, 476, and 477; 476, 477, and 478; 477, 478, and 479; and 478, 479 and 480. In both embodiments when the select lines are not at the select mode voltage they are at the non select mode voltage. The embodiment of selecting two lines at a time is especially useful in a TFT LCD using two gate scan drivers as shown in Fig. 1.

While the invention has been particularly shown and described with reference to the preferred embodiments thereof, it will be understood by those skilled in the art that various changes in form and details may be made without departing from the spirit and scope of the invention.

What is claimed is:

1. A method of driving a display, comprising the steps of:

providing a display having a matrix array of cells formed in N rows by M columns, where N and M are positive integers, wherein each said cell comprises a pixel connected to a switching element, each said switching element having a row electrode and a column electrode, and each said cell is selected by applying a selecting voltage to said row electrode or not selected by applying a non selecting voltage to said row electrode;

connecting said row electrodes in each of said N rows of cells to a row select line thereby forming row select lines 1 through N;

connecting said column electrodes being in each of said M columns of cells to a column data line thereby forming column data lines 1 through M;

providing N periodic voltages each said periodic voltage having a scanning period wherein each said scanning period consists of an integral number of sweep periods and each said sweep period consists of an integral number of block widths, wherein in each said sweep period each said periodic voltage is in select mode having said non selecting voltage during the last said block width of said sweep period and at said selecting voltage during the remainder of said sweep period or in non select mode having said non selecting voltage during the entire said sweep period;

providing means for selecting rows 1 through N of said cells by connecting said N periodic selecting voltages to said N row select lines;

providing video signals 1 through M; and

applying said video signals 1 through M to said column data lines 1 through M.

2. The method of claim 1 wherein said scanning period consists of a first field followed by an second field.

3. The method of claim 2 wherein said row select lines are selected in groups of three during said first field and groups of four during said second field.

4. The method of claim 2 wherein during sequential said sweep periods of said first field said periodic voltage in select mode is applied sequentially to row select lines 1; 1, 2, and 3; 3, 4, and 5; 5, 6, and 7; 7, 8, and 9; .... ; N-2, N-1, and N; during sequential said sweep periods of said second field said periodic voltage in select mode is applied sequentially to row select lines 1 and 2; 1, 2, 3, and 4; 3, 4, 5, and 6; 5, 6, 7, and 8; 7, 8, 9, and 10; ... ; N-3, N-2, N-1, and N; and during each said sweep period of said first field and said second field periodic voltage in non select mode is applied to all remaining row select lines.

5. The method of claim 2 wherein said row select lines are selected in groups of two during said first field and groups of three during said second field.

6. The method of claim 2 wherein during sequential said sweep periods of said first field said periodic voltage in select mode is applied sequentially to row select lines 1; 1 and 2; 2 and 3; 3 and 4; 4 and 5; 5 and 6; 6 and 7; ... ; N-1 and N; during sequential said sweep periods of said second field said periodic voltage in select mode is applied sequentially to row select lines 1; 1 and 2; 1, 2, and 3; 2, 3, and 4; 3, 4, and 5; 4, 5, and 6; 5, 6, and 7; ... ; N-2, N-1 and N; and during each said sweep period of said first field and said second field periodic voltage in non select mode is applied to all remaining row select lines.

7. The method of claim 1 wherein said display is a thin film transistor liquid crystal display.

8. The method of claim 1 wherein said switching element is a thin film transistor.

9. The method of claim 1 wherein said block width is 4.5 microseconds or greater.

10. The method of claim 1 wherein said sweep period is 31.78 microseconds or greater.

11. A display, comprising:

a display having a matrix array of cells formed in N rows by M columns, where N and M are positive integers, wherein each said cell comprises a pixel connected to a switching element, each said switching element having a row electrode and a column electrode, and each said cell is selected by applying a selecting voltage to said row electrode or not selected by applying a non selecting voltage to said row electrode;

row select lines 1 through N wherein each of said row select lines is connected to said row electrodes in one of said N rows of cells;

column data lines 1 through M wherein each of said column data lines is connected to said column electrodes in each of said M columns of cells;

N periodic voltages each said periodic voltage having a scanning period wherein each said scanning period consists of an integral number of sweep periods and each said sweep period consists of an integral number of block widths, wherein in each said sweep period each said periodic voltage is in select mode having said non selecting voltage during the last said block width of said sweep period and at said selecting voltage during the remainder of said sweep period or in non select mode having said non selecting voltage during the entire said sweep period;

means for selecting rows 1 through N of said cells by connecting said N periodic selecting voltages to said N row select lines;

video signals 1 through M; and

means for applying said video signals 1 through M to said column data lines 1 through M.

12. The display of claim 11 wherein said scanning period consists of a first field followed by an second field.

13. The display of claim 12 wherein said row select lines are selected in groups of three during said first field and groups of four during said second field.

14. The display of claim 12 wherein during sequential said sweep periods of said first field said periodic voltage in select mode is applied sequentially to row select lines 1; 1, 2, and 3; 3, 4, and 5; 5, 6, and 7; 7, 8, and 9; ... ; N-2, N-1, and N; during sequential said sweep periods of said second field said periodic voltage in select mode is applied sequentially to row select lines 1 and 2; 1, 2, 3, and 4; 3, 4, 5, and 6; 5, 6, 7, and 8; 7, 8, 9, and 10; ... ; N-3, N-2, N-1, and N; and during each said sweep period of said first field and said second field periodic

voltage in non select mode is applied to all remaining row select lines.

15. The display of claim 12 wherein said row select lines are selected in groups of two during said first field and groups of three during said second field.

16. The display of claim 12 wherein during sequential said sweep periods of said first field said periodic voltage in select mode is applied sequentially to row select lines 1; 1 and 2; 2 and 3; 3 and 4; 4 and 5; 5 and 6; 6 and 7; ... ; N-1 and N; during sequential said sweep periods of said second field said periodic voltage in select mode is applied sequentially to row select lines 1; 1 and 2; 1, 2, and 3; 2, 3, and 4; 3, 4, and 5; 4, 5, and 6; 5, 6, and 7; ... ; N-2, N-1 and N; and during each said sweep period of said first field and said second field periodic voltage in non select mode is applied to all remaining row select lines.

17. The display of claim 11 wherein said display is a thin film transistor liquid crystal display.

18. The display of claim 11 wherein said switching element is a thin film transistor.

19. The display of claim 11 wherein said block width is 4.5 microseconds or greater.

20. The display of claim 11 wherein said sweep period is 31.78 microseconds or greater.

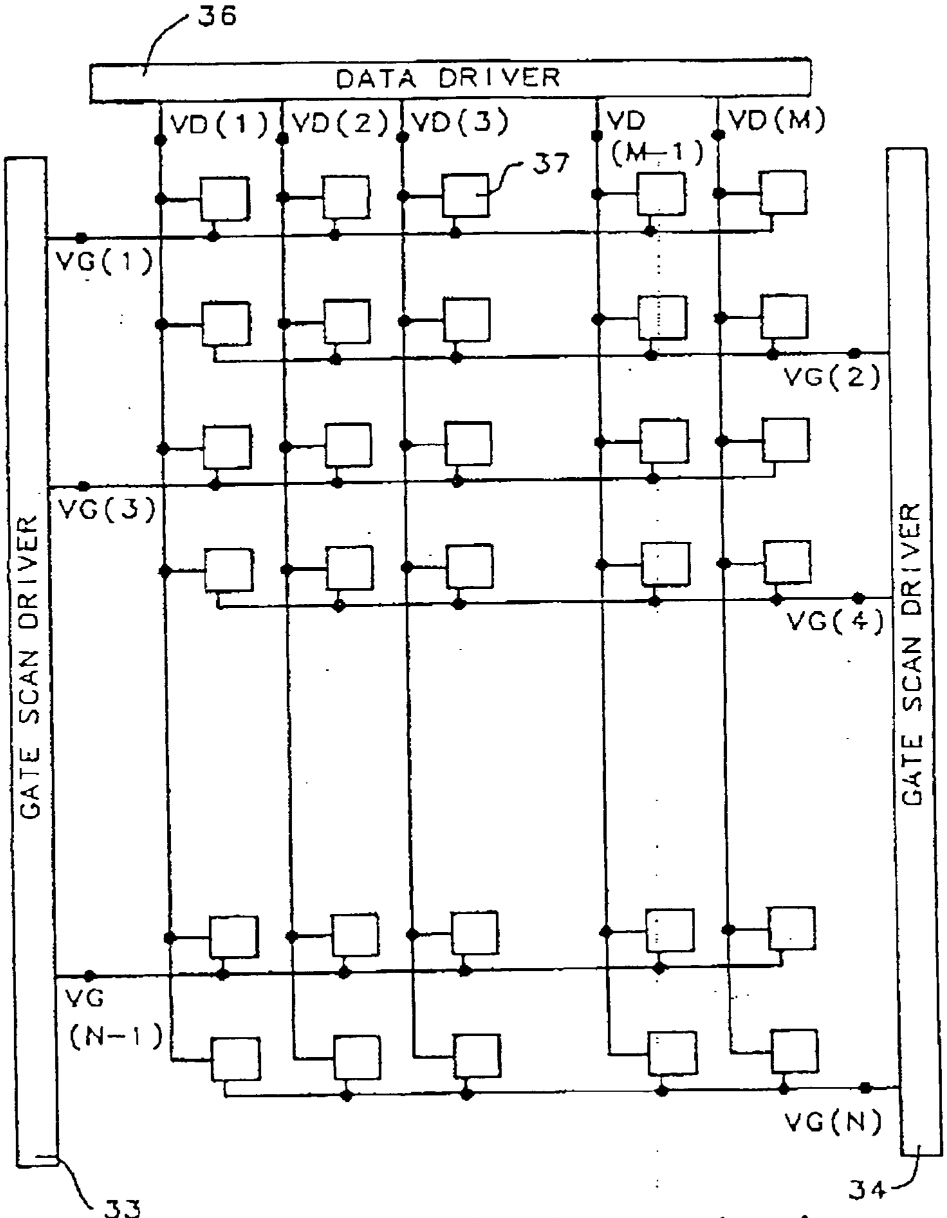


FIG. 1 Prior Art

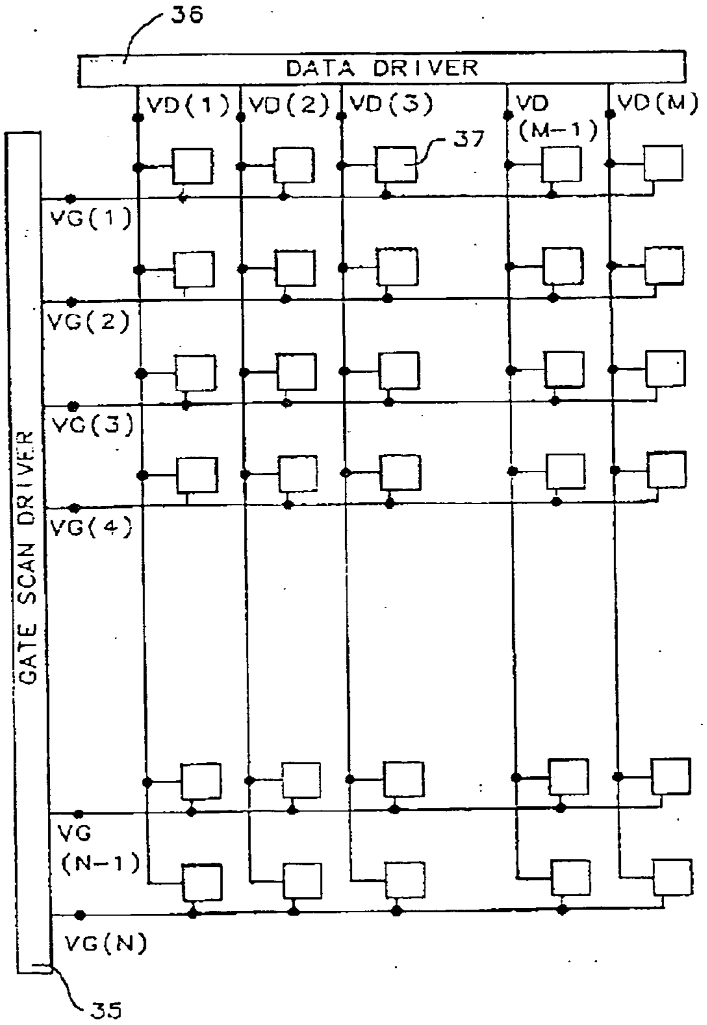


FIG. 2 Prior Art

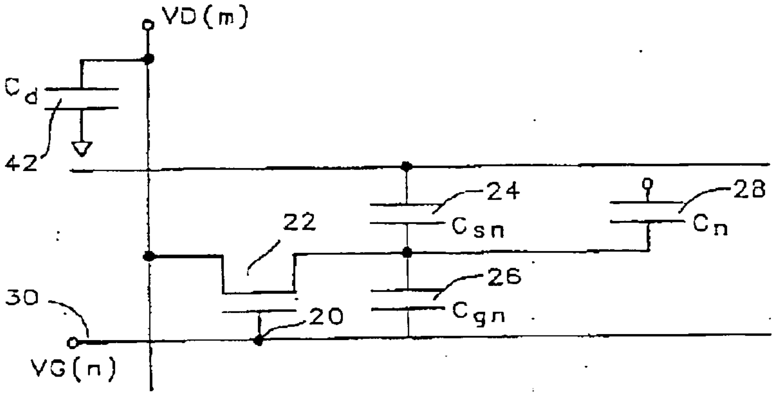


FIG. 3A Prior Art

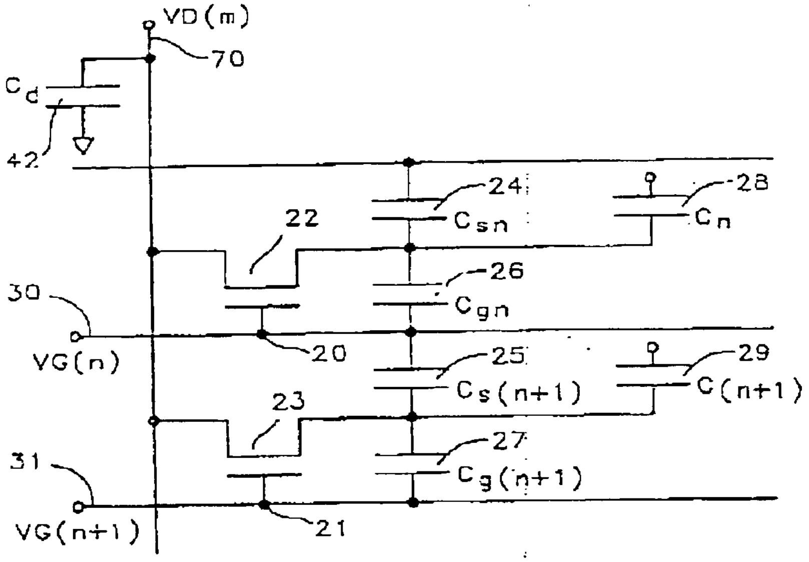


FIG. 3B Prior Art

4

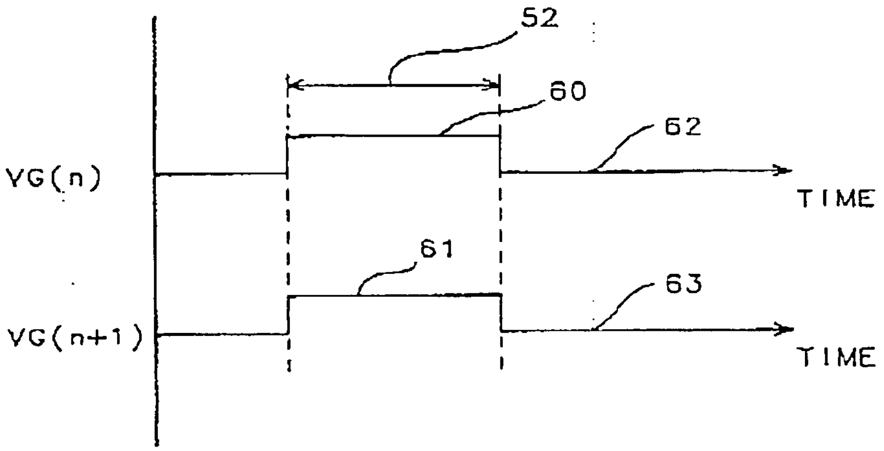


FIG. 4A Prior Art

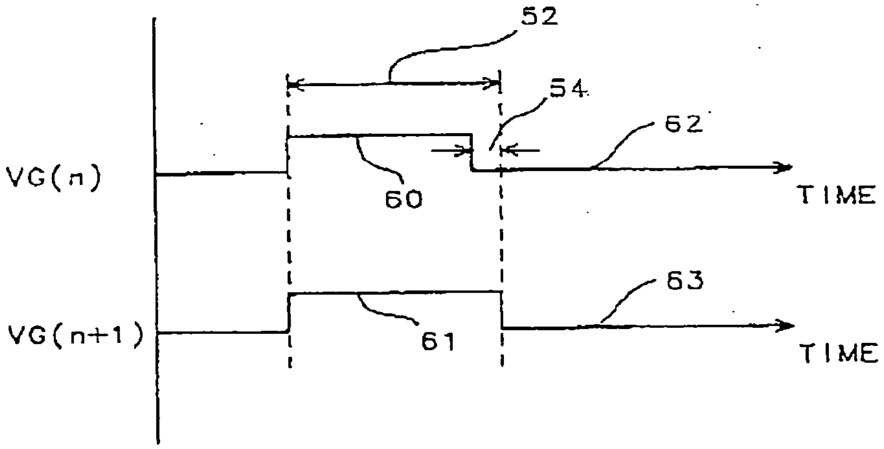


FIG. 4B Prior Art

5

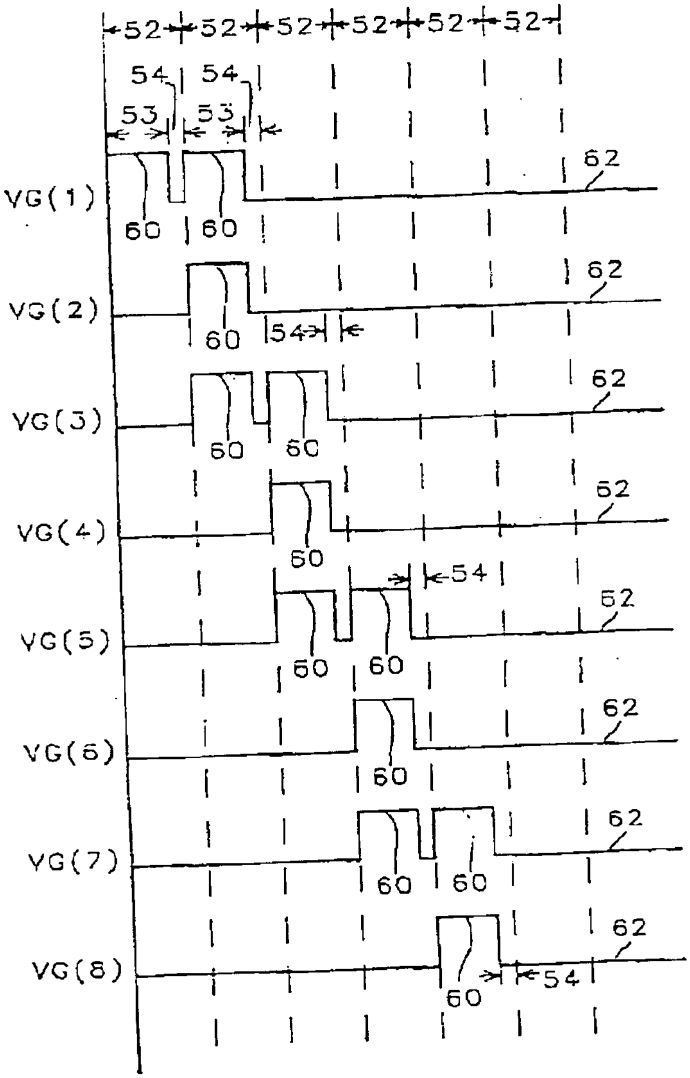

VG(1)
VG(2)
VG(3)
VG(4)
VG(5)
VG(6)
VG(7)
VG(8)

FIG. 5A

6

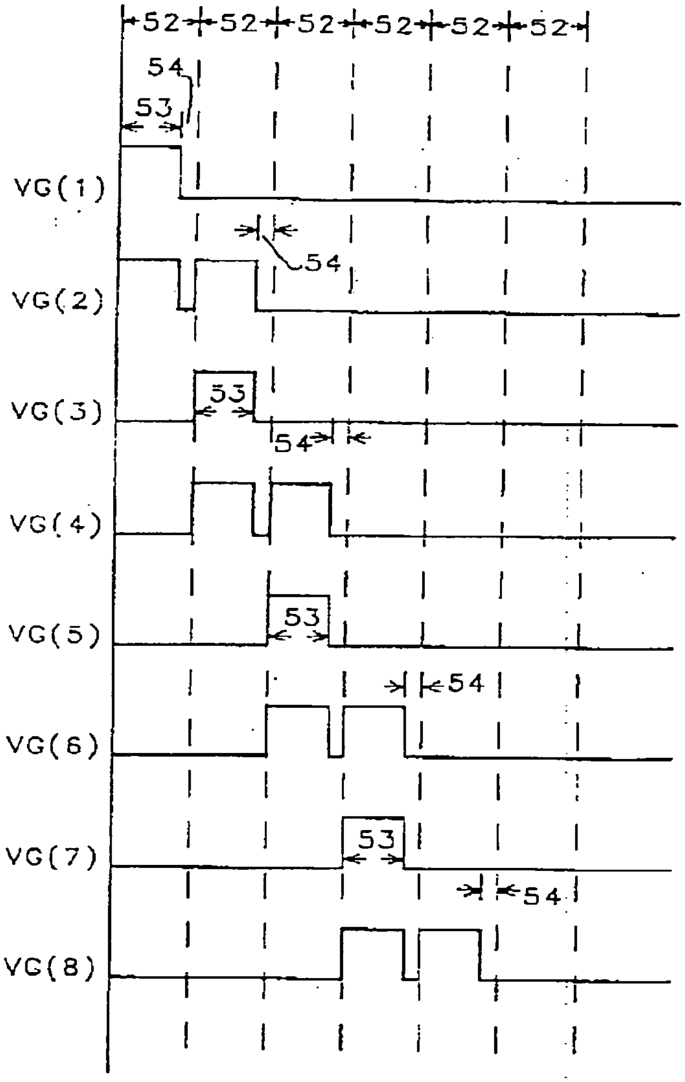

VG(1)
VG(2)
VG(3)
VG(4)
VG(5)
VG(6)
VG(7)
VG(8)

FIG. 5B

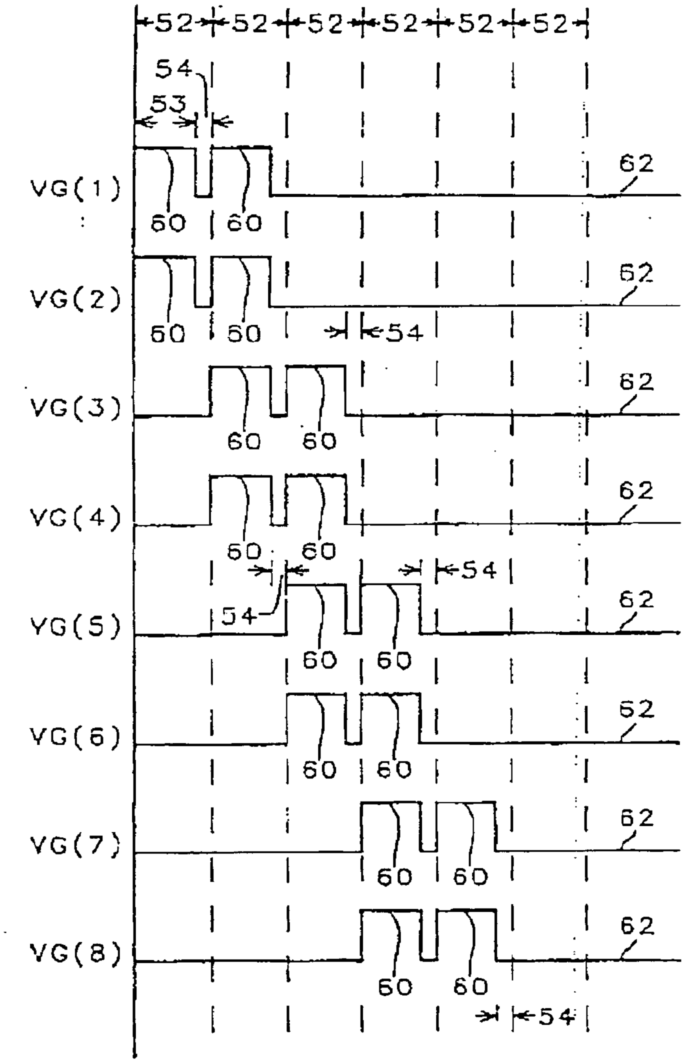

VG(1)
VG(2)
VG(3)
VG(4)
VG(5)
VG(6)
VG(7)
VG(8)

FIG. 6A

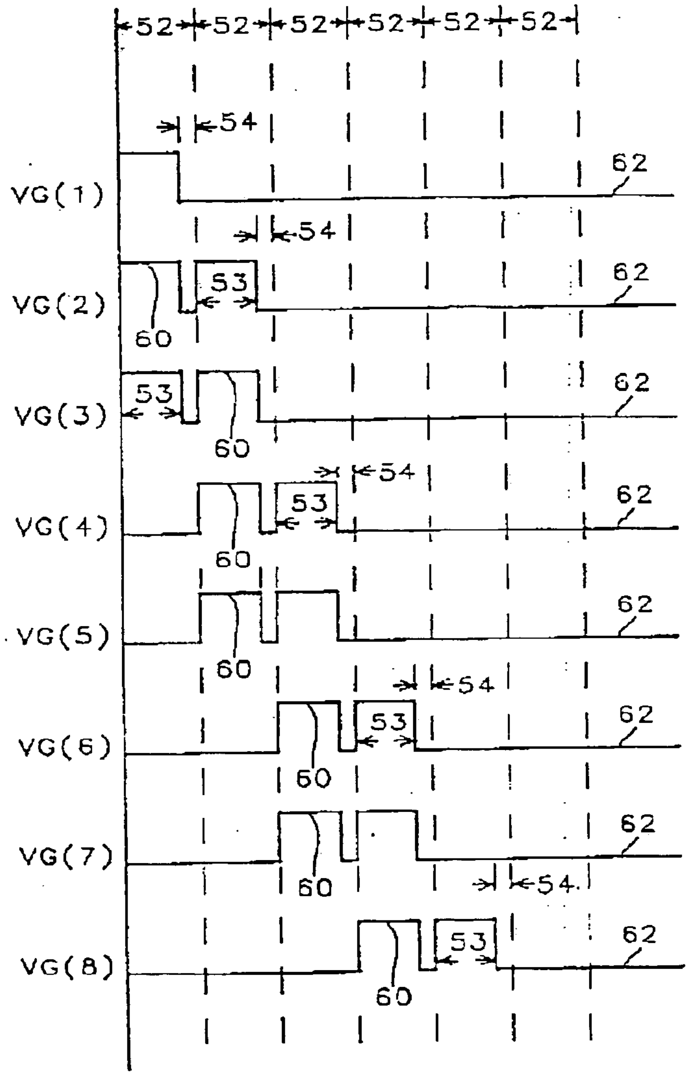

VG(1)
VG(2)
VG(3)
VG(4)
VG(5)
VG(6)
VG(7)
VG(8)

FIG. 6B

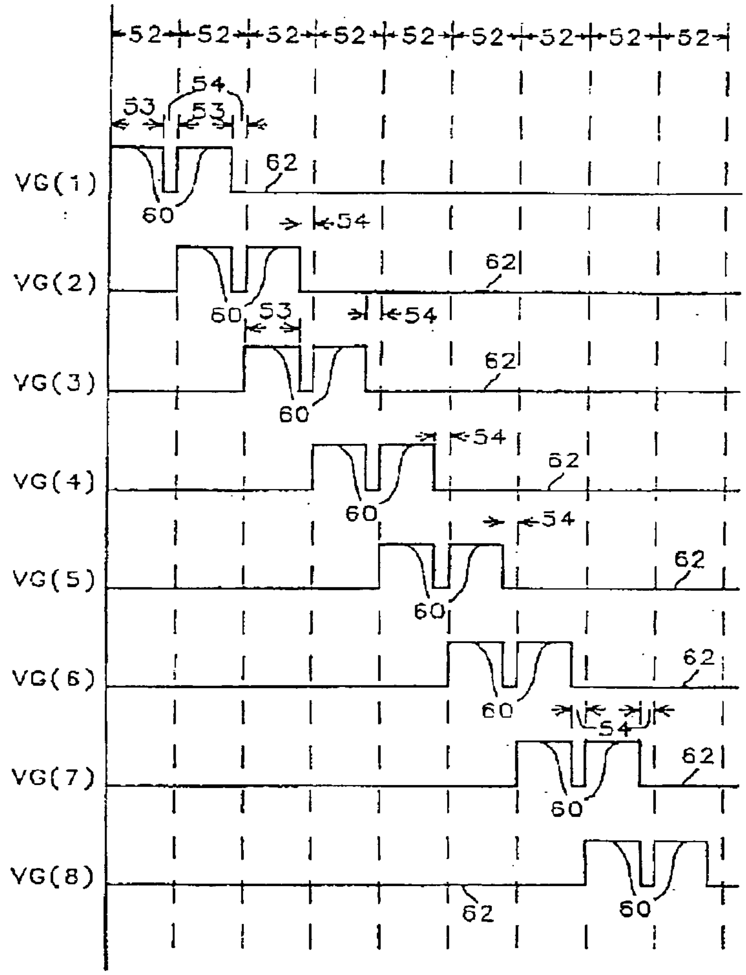


FIG. 7A

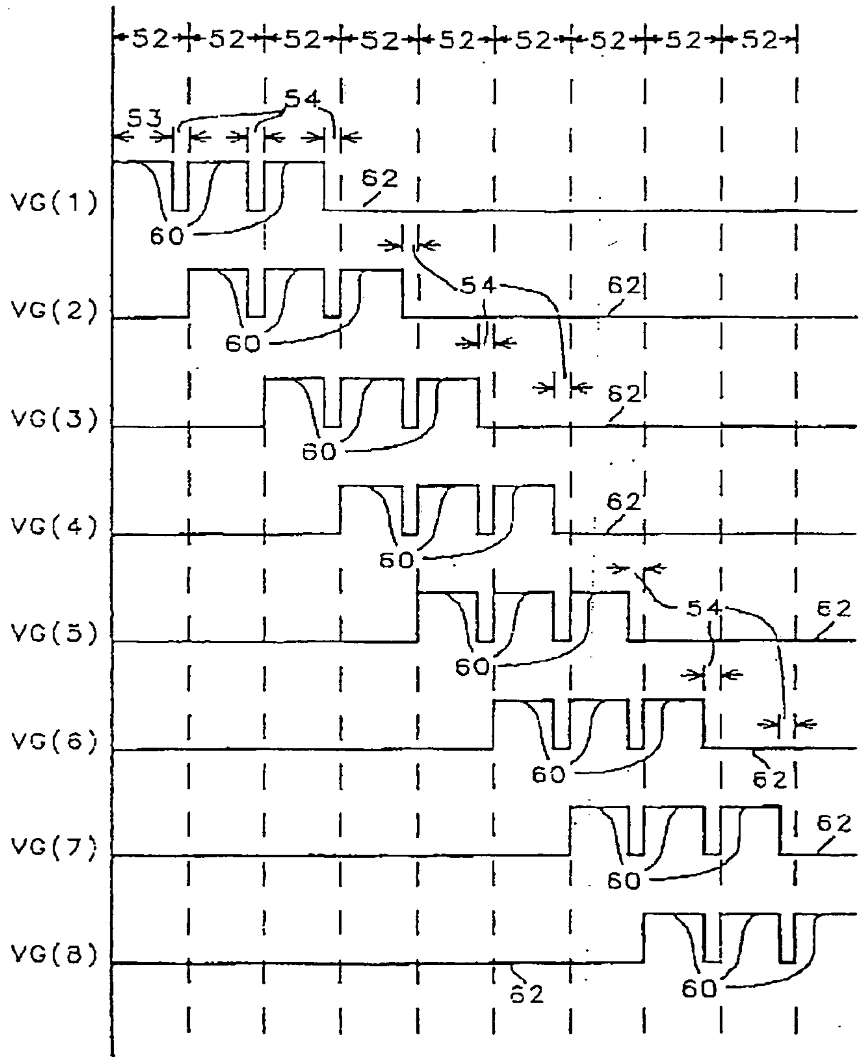

VG(1)
VG(2)
VG(3)
VG(4)
VG(5)
VG(6)
VG(7)
VG(8)

FIG. 7B

ABSTRACT OF THE DISCLOSURE

This invention provides a method for scanning a thin film transistor liquid crystal display which eliminates the undesirable brightness fluctuations in the display due to parasitic capacitance. When conventional scanning methods are used in thin film transistor liquid crystal displays parasitic and other capacitancer in the array cause fluctuations in brightness of the pixels. This method scans multiple rows of the display simultaneously and still eliminates the brightness fluctuations of the pixels.

20